

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年   3 月   4 日  
Date of Application:

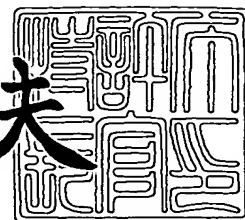
出 願 番 号            特 願 2 0 0 3 - 0 5 6 6 9 8  
Application Number:  
[ST. 10/C]:            [ J P 2 0 0 3 - 0 5 6 6 9 8 ]

出      願      人            セイコーエプソン株式会社  
Applicant(s):

2 0 0 3 年 1 2 月   1 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 EP-0436401

【提出日】 平成15年 3月 4日

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/20

【発明者】

    【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

    【氏名】 鳥海 裕一

【発明者】

    【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

    【氏名】 森田 晶

【特許出願人】

    【識別番号】 000002369

    【氏名又は名称】 セイコーエプソン株式会社

【代理人】

    【識別番号】 100090479

    【弁理士】

    【氏名又は名称】 井上 一

    【電話番号】 03-5397-0891

【選任した代理人】

    【識別番号】 100090387

    【弁理士】

    【氏名又は名称】 布施 行夫

    【電話番号】 03-5397-0891

## 【選任した代理人】

【識別番号】 100090398

【弁理士】

【氏名又は名称】 大淵 美千栄

【電話番号】 03-5397-0891

## 【手数料の表示】

【予納台帳番号】 039491

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示ドライバ及び電気光学装置

【特許請求の範囲】

【請求項 1】 複数の画素と、複数の走査線と、複数のデータ線とを含む電気光学装置の前記複数のデータ線を駆動する表示ドライバであって、

所与のデータ取込開始指示信号を生成するデータ取込開始指示信号生成回路と

前記データ取込開始指示信号により取込開始タイミングが規定されるデータ取込タイミングで、表示データを取り込むデータラッチと、

前記データラッチに取り込まれた表示データに基づいて前記複数のデータ線を駆動するデータ線駆動回路とを含み、

前記データ取込開始指示信号生成回路は、

表示データの取込開始タイミングを指定するためのデータが設定される取込開始タイミング設定レジスタを含み、

所与の基準タイミングを基準にして前記取込開始タイミング設定レジスタの設定内容に対応した期間が経過したときに変化する前記所与のデータ取込開始指示信号を生成することを特徴とする表示ドライバ。

【請求項 2】 請求項 1 において、

前記取込開始タイミングを指定するためのデータは、一水平走査期間を規定する水平同期信号の変化点を基準に、表示データの取込開始タイミングまでの期間に対応したデータであり、

前記所与の基準タイミングは、前記水平同期信号の変化点であることを特徴する表示ドライバ。

【請求項 3】 請求項 2 において、

前記表示データの取込開始タイミングまでの期間に対応したデータは、前記水平同期信号の変化点を基準に、表示データの取込開始タイミングまでの基準クロックのクロック数であり、

前記表示データは、前記基準クロックに同期して前記データラッチに供給され

ることを特徴とする表示ドライバ。

【請求項4】 請求項3において、

前記データ取込開始指示信号生成回路は、

前記水平同期信号に基づきそのカウント値をリセットし、基準クロックの変化点でそのカウント値をインクリメントするカウンタと、

前記カウント値と、前記取込開始タイミング設定レジスタの設定内容とを比較する比較器と、

前記基準クロックの変化点で前記比較器の比較結果信号を保持するフリップフロップとを含み、

前記データ取込開始指示信号は、前記フリップフロップで保持されて出力される信号であることを特徴とする表示ドライバ。

【請求項5】 請求項1乃至4のいずれかにおいて、

前記データラッチは、

複数のフリップフロップを有し、前記基準クロックに基づいて前記データ取込開始指示信号をシフトして各フリップフロップからシフト出力を出力するシフトレジスタと、

複数のフリップフロップを有し、各フリップフロップが前記シフトレジスタからのシフト出力に基づいて前記表示データを保持するラッチとを含むことを特徴とする表示ドライバ。

【請求項6】 請求項1乃至5のいずれかにおいて、

前記データ取込開始指示信号生成回路により前記データ取込開始指示信号を生成するモードであるマスターモード、又は外部から所与のイネーブル入力信号を受け付けるモードであるスレーブモードに設定するためのモード設定レジスタと

前記モード設定レジスタの設定内容に応じて、前記データ取込開始指示信号、又は前記イネーブル入力信号のいずれかを前記データラッチに対して出力する切替回路とを含み、

前記切替回路は、

前記モード設定レジスタにおいてマスターモードに設定されているときは、前

記データ取込開始指示信号を選択して出力し、

前記モード設定レジスタにおいてスレーブモードに設定されているときは、前記イネーブル入力信号を選択して出力し、

前記データラッチは、

前記切替回路からの出力に基づいて、前記表示データを取り込むことを特徴とする表示ドライバ。

【請求項 7】 複数の画素と、

複数の走査線と、

複数のデータ線と、

前記複数のデータ線を駆動する請求項 1 乃至 6 のいずれか記載の表示ドライバを含むことを特徴とする電気光学装置。

【請求項 8】 複数の画素と、複数の走査線と、複数のデータ線とを含む表示パネルと、

前記複数のデータ線を駆動する請求項 1 乃至 6 のいずれか記載の表示ドライバを含むことを特徴とする電気光学装置。

【請求項 9】 複数の画素と、

複数の走査線と、

複数のデータ線と、

前記複数のデータ線を駆動する少なくとも 2 つの請求項 6 記載の表示ドライバを含み、

前記少なくとも 2 つ表示ドライバのうち 1 つは、前記マスターモードに設定され、

前記少なくとも 2 つ表示ドライバの残りは、前記スレーブモードに設定され、

前記マスターモードに設定された表示ドライバは、前記スレーブモードに設定された表示ドライバの 1 つに、前記イネーブル入力信号を供給することを特徴とする電気光学装置。

【請求項 10】 複数の画素と、複数の走査線と、複数のデータ線とを含む表示パネルと、

前記複数のデータ線を駆動する少なくとも 2 つの請求項 6 記載の表示ドライバ

とを含み、

前記少なくとも 2 つ表示ドライバのうち 1 つは、前記マスターモードに設定され、

前記少なくとも 2 つ表示ドライバの残りは、前記スレーブモードに設定され、

前記マスターモードに設定された表示ドライバは、前記スレーブモードに設定された表示ドライバの 1 つに、前記イネーブル入力信号を供給することを特徴とする電気光学装置。

#### 【発明の詳細な説明】

##### 【0 0 0 1】

##### 【発明の属する技術分野】

本発明は、表示ドライバ及び表示装置に関する。

##### 【0 0 0 2】

##### 【従来の技術】

液晶 (Liquid Crystal Display : L C D) パネルに代表される表示パネルは、各種情報機器の表示部を構成する表示装置に用いられている。この表示装置は、表示パネルと、表示パネルの複数の走査線を駆動する走査ドライバと、該表示パネルの複数のデータ線を駆動する信号ドライバ (広義には表示ドライバ) とを含んで構成される。

##### 【0 0 0 3】

信号ドライバには、中央処理装置 (Central Processing Unit : C P U) 等のホストからの指示に従って走査ドライバ及び信号ドライバを制御するコントローラ (表示コントローラ) から表示データが供給される。そして、信号ドライバは、該表示データに対応した駆動電圧をデータ線に出力する。この際、コントローラからのイネーブル入力信号 E I により規定される取込開始タイミングで、信号ドライバは、該コントローラからの表示データの取り込みを開始する。

##### 【0 0 0 4】

##### 【特許文献 1】

特開 2 0 0 2 - 3 5 1 4 1 2 号公報

##### 【特許文献 2】

特開 2002-351413 号公報

【0005】

【発明が解決しようとする課題】

しかしながら、このような信号ドライバは、イネーブル入力信号 E I を出力しないコントローラに接続することができない。信号ドライバは、上述した表示装置を構成する 1 つのデバイスであり、表示装置をできるだけ多くの情報機器に搭載させるためには、イネーブル入力信号 E I を出力しないコントローラにも接続可能であることが望ましい。

【0006】

本発明は、以上のような技術的課題に鑑みてなされたものであり、その目的とするところは、表示データの取込開始タイミングを規定する信号を内部で生成することができる表示ドライバ及び該表示ドライバを備えた表示システムを提供することにある。

【0007】

【課題を解決するための手段】

上記課題を解決するために本発明は、複数の画素と、複数の走査線と、複数のデータ線とを含む電気光学装置の前記複数のデータ線を駆動する表示ドライバであって、所与のデータ取込開始指示信号を生成するデータ取込開始指示信号生成回路と、前記データ取込開始指示信号により取込開始タイミングが規定されるデータ取込タイミングで、表示データを取り込むデータラッチと、前記データラッチに取り込まれた表示データに基づいて前記複数のデータ線を駆動するデータ線駆動回路とを含み、前記データ取込開始指示信号生成回路は、表示データの取込開始タイミングを指定するためのデータが設定される取込開始タイミング設定レジスタを含み、所与の基準タイミングを基準にして前記取込開始タイミング設定レジスタの設定内容に対応した期間が経過したときに変化する前記所与のデータ取込開始指示信号を生成する表示ドライバに係する。

【0008】

本発明では、取込開始タイミング設定レジスタを含む表示ドライバにおいて、所与の基準タイミングを基準に該取込開始タイミング設定レジスタの設定内容に

対応した期間が経過したときに変化するデータ取込開始指示信号を生成するようにしている。そして、表示ドライバでは、表示データを取り込むためのデータ取込タイミングが定まる取込開始タイミングがデータ取込開始指示信号によって規定される。したがって、所与の基準タイミングを基準にした表示データの供給開始タイミングに合わせて、取込開始タイミング設定レジスタを設定すればよい。この場合、例えばコントローラから表示データに同期したイネーブル入力信号が供給されなくても、イネーブル入力信号を出力しないコントローラによって表示制御可能な表示ドライバを提供することができるようになる。

#### 【0009】

また本発明に係る表示ドライバでは、前記取込開始タイミングを指定するためのデータは、一水平走査期間を規定する水平同期信号の変化点を基準に、表示データの取込開始タイミングまでの期間に対応したデータであり、前記所与の基準タイミングは、前記水平同期信号の変化点であってもよい。

#### 【0010】

また本発明に係る表示ドライバでは、前記表示データの取込開始タイミングまでの期間に対応したデータは、前記水平同期信号の変化点を基準に、表示データの取込開始タイミングまでの基準クロックのクロック数であり、前記表示データは、前記基準クロックに同期して前記データラッチに供給されてもよい。

#### 【0011】

本発明によれば、水平同期信号の変化点を基準に、表示データの供給開始タイミングが一定の場合に、イネーブル入力信号が供給されなくても、表示データを取り込むことができる表示ドライバを提供することができる。したがって、より多くの種類の電気光学装置に適用可能となる。

#### 【0012】

また本発明に係る表示ドライバでは、前記データ取込開始指示信号生成回路は、前記水平同期信号に基づきそのカウント値をリセットし、基準クロックの変化点でそのカウント値をインクリメントするカウンタと、前記カウント値と、前記取込開始タイミング設定レジスタの設定内容とを比較する比較器と、前記基準クロックの変化点で前記比較器の比較結果信号を保持するフリップフロップとを含

み、前記データ取込開始指示信号は、前記フリップフロップで保持されて出力される信号であってもよい。

【0013】

本発明によれば、非常に簡素な構成で、イネーブル入力信号が供給されなくても、表示データを取り込むことができる表示ドライバを提供することができる。

【0014】

また本発明に係る表示ドライバでは、前記データラッチは、複数のフリップフロップを有し、前記基準クロックに基づいて前記データ取込開始指示信号をシフトして各フリップフロップからシフト出力を出力するシフトレジスタと、複数のフリップフロップを有し、各フリップフロップが前記シフトレジスタからのシフト出力に基づいて前記表示データを保持するラッチとを含むことができる。

【0015】

また本発明に係る表示ドライバでは、前記データ取込開始指示信号生成回路により前記データ取込開始指示信号を生成するモードであるマスターモード、又は外部から所与のイネーブル入力信号を受け付けるモードであるスレーブモードに設定するためのモード設定レジスタと、前記モード設定レジスタの設定内容に応じて、前記データ取込開始指示信号、又は前記イネーブル入力信号のいずれかを前記データラッチに対して出力する切替回路とを含み、前記切替回路は、前記モード設定レジスタにおいてマスターモードに設定されているときは、前記データ取込開始指示信号を選択して出力し、前記モード設定レジスタにおいてスレーブモードに設定されているときは、前記イネーブル入力信号を選択して出力し、前記データラッチは、前記切替回路からの出力に基づいて、前記表示データを取り込むことができる。

【0016】

本発明によれば、例えばカスケード接続により駆動可能で、かつイネーブル入力信号が供給されなくても、表示データを取り込むことができる表示ドライバを提供することができる。

【0017】

また本発明は、複数の画素と、複数の走査線と、複数のデータ線と、前記複数

のデータ線を駆動する上記のいずれか記載の表示ドライバとを含む電気光学装置に関係する。

【 0 0 1 8 】

また本発明は、複数の画素と、複数の走査線と、複数のデータ線とを含む表示パネルと、前記複数のデータ線を駆動する上記のいずれか記載の表示ドライバとを含む電気光学装置に関係する。

【 0 0 1 9 】

本発明によれば、イネーブル入力信号が供給されなくても、表示データを取り込むことができる表示ドライバを含む電気光学装置を提供することができる。したがって、より多くの種類のコントローラによる表示制御が可能な電気光学装置を提供することができる。

【 0 0 2 0 】

また本発明は、複数の画素と、複数の走査線と、複数のデータ線と、前記複数のデータ線を駆動する少なくとも 2 つの上記記載の表示ドライバとを含み、前記少なくとも 2 つ表示ドライバのうち 1 つは、前記マスターモードに設定され、前記少なくとも 2 つ表示ドライバの残りは、前記スレーブモードに設定され、前記マスターモードに設定された表示ドライバは、前記スレーブモードに設定された表示ドライバの 1 つに、前記イネーブル入力信号を供給する電気光学装置に関係する。

【 0 0 2 1 】

また本発明は、複数の画素と、複数の走査線と、複数のデータ線とを含む表示パネルと、前記複数のデータ線を駆動する少なくとも 2 つの上記記載の表示ドライバとを含み、前記少なくとも 2 つ表示ドライバのうち 1 つは、前記マスターモードに設定され、前記少なくとも 2 つ表示ドライバの残りは、前記スレーブモードに設定され、前記マスターモードに設定された表示ドライバは、前記スレーブモードに設定された表示ドライバの 1 つに、前記イネーブル入力信号を供給する電気光学装置に関係する。

【 0 0 2 2 】

本発明では、表示ドライバの 1 つをマスターモードに設定すると共に、残りを

スレーブモードに設定する。そして、スレーブモードに設定された 1 つの表示ドライバには、マスターモードに設定された表示ドライバから入力イネーブル信号が供給されるようにする構成する。こうすることで、1 つの表示ドライバでは駆動することができない数のデータ線に対して、例えばカスケード接続により駆動可能な複数個の表示ドライバを含む電気光学装置を提供することができる。更に、これら表示ドライバでは、イネーブル入力信号が供給されなくても表示データを取り込んでデータ線を駆動できるため、より多くの種類のコントローラによる表示制御が可能な電気光学装置を提供することができる。

### 【0 0 2 3】

#### 【発明の実施の形態】

以下、本発明の好適な実施の形態について図面を用いて詳細に説明する。なお、以下に説明する実施の形態は、特許請求の範囲に記載された本発明の内容を不当に限定するものではない。また以下で説明される構成の全てが本発明の必須構成要件であるとは限らない。

### 【0 0 2 4】

#### 1. 表示装置

図 1 に、表示装置の構成の概要を示す。ここでは表示装置の一例として液晶装置の構成の概要を示す。液晶装置は、携帯電話機、携帯型情報機器（P D A 等）、デジタルカメラ、プロジェクタ、携帯型オーディオプレーヤ、マストレージデバイス、ビデオカメラ、電子手帳、又は G P S（Global Positioning System）などの種々の電子機器に組み込むことができる。

### 【0 0 2 5】

図 1 において、液晶装置 1 0 は、L C D パネル（広義には表示パネル）2 0、表示ドライバ（ソースドライバ）3 0、走査ドライバ（ゲートドライバ）4 0、コントローラ（表示コントローラ）5 0、電源回路 6 0 を含む。液晶装置 1 0 は、電気光学装置と言うこともできる。

### 【0 0 2 6】

なお、液晶装置 1 0 にこれら全ての回路ブロックを含める必要はなく、その一部の回路ブロックを省略する構成にしてもよい。

## 【0027】

LCDパネル20は、各走査線（ゲート線）が各行に設けられた複数の走査線（ゲート線）と、複数の走査線と交差し各データ線が各列に設けられた複数のデータ線（ソース線）と、各画素が複数の走査線のいずれかの走査線及び複数のデータ線のいずれかのデータ線により特定される複数の画素とを含む。各画素は、薄膜トランジスタ（Thin Film Transistor：以下、TFTと略す）と画素電極とを含む。データ線にはTFTが接続され、該TFTに画素電極が接続される。

## 【0028】

より具体的には、LCDパネル20は例えばガラス基板からなるパネル基板上に形成される。パネル基板には、図1のY方向に複数配列されそれぞれX方向に伸びる走査線GL1～GLM（Mは2以上の整数）と、X方向に複数配列されそれぞれY方向に伸びるデータ線DL1～DLN（Nは2以上の整数）とが配置されている。走査線GLm（ $1 \leq m \leq M$ 、mは整数）とデータ線DLn（ $1 \leq n \leq N$ 、nは整数）との交差点に対応する位置に画素PEmnが設けられている。画素PEmnは、TFTmnと画素電極とを含む。

## 【0029】

TFTmnのゲート電極は走査線GLmに接続される。TFTmnのソース電極はデータ線DLnに接続される。TFTmnのドレイン電極は画素電極に接続される。画素電極と、該画素電極と液晶素子（広義には電気光学物質）を介して対向する対向電極COM（コモン電極）との間には、液晶容量CLmnが形成されている。なお液晶容量CLmnと並列に、保持容量を形成するようにしても良い。画素電極と対向電極COMとの間の電圧に応じて、画素の透過率が変化している。対向電極COMに供給される電圧VCOMは、電源回路60により生成される。

## 【0030】

表示ドライバ30は、一水平走査期間分の表示データに基づいてLCDパネル20のデータ線DL1～DLNを駆動する。より具体的には、表示ドライバ30は、表示データに基づいてデータ線DL1～DLNの少なくとも1つを駆動することができる。

**【0031】**

走査ドライバ40は、LCDパネル20の走査線GL1～GLMを走査する。より具体的には、走査ドライバ40は、一垂直期間内に走査線GL1～GLMを順次選択し、選択した走査線を駆動する。

**【0032】**

コントローラ50は、図示しないCPU等のホストにより設定された内容に従って、表示ドライバ30、走査ドライバ40及び電源回路60に対して制御信号を出力する。より具体的には、コントローラ50は、表示ドライバ30及び走査ドライバ40に対しては、例えば動作モードの設定や内部で生成した水平同期信号や垂直同期信号を供給する。水平同期信号は、水平走査期間を規定する。垂直同期信号は、垂直走査期間を規定する。またコントローラ50は、表示データを表示ドライバ30に対して出力する。更にコントローラ50は、電源回路60に対しては、極性反転信号POLにより、対向電極COMの電圧VCOMの極性反転タイミングの制御を行う。

**【0033】**

電源回路60は、外部から供給される基準電圧に基づいて、LCDパネル20の各種電圧や、対向電極COMの電圧VCOMを生成する。

**【0034】**

なお図1では、液晶装置10がコントローラ50を含む構成になっているが、コントローラ50を液晶装置10の外部に設けてもよい。或いは、コントローラ50と共にホスト（図示せず）を液晶装置10に含めるように構成してもよい。液晶装置10が、表示ドライバ30とLCDパネル20とを少なくとも含んで構成されていればよい。

**【0035】**

また走査ドライバ40、コントローラ50及び電源回路60のうち少なくとも1つを表示ドライバ30に内蔵させてもよい。

**【0036】**

また、表示ドライバ30、走査ドライバ40、コントローラ50及び電源回路60の一部又は全部をLCDパネル20上に形成してもよい。この場合、LCD

パネル 20 は、電気光学装置とすることができる。例えば図 2 では、LCD パネル 20 上に、表示ドライバ 30 及び走査ドライバ 40 が形成されている。このように LCD パネル 20 は、複数のデータ線と、複数の走査線と、各画素が複数のデータ線のいずれかと複数の走査線のいずれかとにより特定される複数の画素と、複数のデータ線を駆動する表示ドライバとを含むように構成することができる。LCD パネル 20 の画素形成領域 80 に、複数の画素が形成されている。

#### 【0037】

#### 2. 表示ドライバ

表示ドライバには、コントローラから表示データが供給される。表示ドライバは、コントローラからのイネーブル入力信号 EI により規定される取込開始タイミングで、表示データを取り込む。

#### 【0038】

図 3 (A) に、比較例における表示ドライバと、コントローラとの接続関係を示す。図 3 (B) に、図 3 (A) に示す信号のタイミングの一例を示す。

#### 【0039】

比較例において、コントローラ 90 は、表示ドライバ 92 に対して表示タイミングの制御を行うと共に、表示データを供給する。コントローラ 90 は、表示ドライバ 92 に対して、水平同期信号 Hsync、基準クロック DCK、イネーブル入力信号 EI 及び表示データ D を出力する。

#### 【0040】

水平同期信号 Hsync は、水平走査期間を規定する信号である。基準クロック DCK は、一水平走査期間分の表示データを取り込むためのクロックである。コントローラ 90 は、表示データ D を、基準クロック DCK に同期して出力する。イネーブル入力信号 EI は、表示データを取り込むための取込開始タイミングを指示する信号である。

#### 【0041】

図 3 (B) において、コントローラ 90 は、基準クロック DCK を出力すると共に、水平同期信号 Hsync を変化させた後に基準クロック DCK の所定クロック数を経過後、イネーブル入力信号 EI を変化させ、最初の表示データを出力

する。その後コントローラ 90 は、後続の表示データを順次出力して、一水平走査期間分の表示データを表示ドライバ 92 に供給する。

#### 【0042】

表示ドライバ 92 では、イネーブル入力信号 E I により規定される取込開始タイミング以降、基準クロック D C K に同期して表示データ D を順次取り込む。

#### 【0043】

したがって、コントローラ 90 がイネーブル入力信号 E I を出力しない場合、表示ドライバ 92 は表示データを取り込むことができない。そのため表示ドライバ 92 では、このようなコントローラには接続することができない。

#### 【0044】

そこで以下に示す実施形態における表示ドライバ（例えば表示ドライバ 30）では、取込開始タイミングを規定するデータ取込開始指示信号を内部で生成する。このため、イネーブル入力信号 E I を出力しないコントローラにより表示制御される表示ドライバを提供することができる。したがって、より多くの種類の表示システムに適用可能となる。

#### 【0045】

##### 2. 1 第 1 の実施形態

図 4 に、第 1 の実施形態における表示ドライバと、コントローラとの接続関係を示す。ここで、図 3（A）に示す信号と同一の信号は同じ信号名で表しており、これらの信号の説明は省略する。

#### 【0046】

このように第 1 の実施形態では、コントローラ 50 は、表示ドライバ 30 に対して、水平同期信号 H s y n c、基準クロック D C K 及び表示データ D を出力する。図 3（A）と異なり、コントローラ 50 は、表示ドライバ 30 に対して、イネーブル入力信号 E I を出力しない。表示ドライバ 30 は、図 3（B）におけるイネーブル入力信号 E I により規定される取込開始タイミングを示すデータ取込開始指示信号を、水平同期信号 H s y n c 及び基準クロック D C K に基づいて内部で生成することができる。

#### 【0047】

図 5 に、表示ドライバ 3 0 の構成の概要のブロック図を示す。表示ドライバ 3 0 は、データラッチ 1 0 0、ラインラッチ 1 1 0、D A C (Digital-to-Analog Converter) (広義には電圧選択回路) 1 2 0、データ線駆動回路 1 3 0、データ取込開始指示信号生成回路 1 4 0 を含む。

#### 【 0 0 4 8 】

データラッチ 1 0 0 は、一水平走査周期で表示データを取り込む。

#### 【 0 0 4 9 】

より具体的には、データラッチ 1 0 0 は、データ取込開始指示信号生成回路 1 4 0 で生成されたデータ取込開始指示信号 I E I により取込開始タイミングが規定されるデータ取込タイミングで、表示データを取り込む。更に具体的には、データラッチ 1 0 0 は、データ取込開始指示信号 I E I により取込開始タイミングが規定され、データ取込開始指示信号 I E I を基準クロック D C K によりシフトしたデータ取込タイミングで、バス上の表示データを取り込む。基準クロック D C K は、基準クロック入力端子 1 5 0 を介して例えばコントローラ 5 0 から入力される。

#### 【 0 0 5 0 】

なおデータラッチ 1 0 0 に入力される基準クロック D C K は、基準クロック入力端子 1 5 0 に入力された基準クロック信号を、バッファリングや位相調整等を行った信号であってもよく、基準クロック入力端子 1 5 0 に入力された基準クロック D C K に対応した信号とすることができる。また、バス上の表示データは、図示しないデータ入力端子を介して例えばコントローラ 5 0 から入力された表示データ D を、バッファリング等を行った信号であってもよく、データ入力端子に入力された表示データ D に対応した信号とすることができる。

#### 【 0 0 5 1 】

またデータラッチ 1 0 0 は、イネーブル出力端子 1 5 2 を介して、データ取込開始指示信号 I E I に対応して出力されるイネーブル出力信号 E O を出力する。

#### 【 0 0 5 2 】

ラインラッチ 1 1 0 は、データラッチ 1 0 0 に取り込まれた表示データを、データ線に対応した表示データとして、水平同期信号 H s y n c に基づいてラッチ

する。水平同期信号 H s y n c は、水平同期信号入力端子 1 5 4 を介して、例えばコントローラ 5 0 から入力される。

#### 【0 0 5 3】

なおラインラッチ 1 1 0 に入力される水平同期信号 H s y n c は、水平同期信号入力端子 1 5 4 に入力された水平同期信号を、バッファリングや位相調整等を行った信号であってもよく、水平同期信号入力端子 1 5 4 に入力された水平同期信号 H s y n c に対応した信号と言うことができる。

#### 【0 0 5 4】

D A C 1 2 0 は、各基準電圧が表示データに対応した複数の基準電圧の中から、データ線ごとにラインラッチ 1 1 0 からの表示データに対応する駆動電圧（階調電圧）を出力する。より具体的には、D A C 1 2 0 は、ラインラッチ 1 1 0 からの表示データをデコードし、デコード結果に基づいて複数の基準電圧のいずれかを選択する。D A C 1 2 0 において選択された基準電圧は、駆動電圧としてデータ線駆動回路 1 3 0 に出力される。

#### 【0 0 5 5】

データ線駆動回路 1 3 0 は、D A C 1 2 0 からの駆動電圧に基づいてデータ線 D L 1 ～D L N の少なくとも 1 つを駆動する。

#### 【0 0 5 6】

データ取込開始指示信号生成回路 1 4 0 は、水平同期信号 H s y n c と基準クロック D C K とに基づいて、データ取込開始指示信号 I E I を生成する。

#### 【0 0 5 7】

図 6 に、データラッチ 1 0 0 の構成例を示す。データラッチ 1 0 0 は、シフトレジスタ 1 0 2 と、ラッチ 1 0 4 とを含む。

#### 【0 0 5 8】

シフトレジスタ 1 0 2 は、複数のフリップフロップ F F 1 - 1 ～F F 1 - N を有する。そして、シフトレジスタ 1 0 2 は、基準クロック D C K に基づいてデータ取込開始指示信号をシフトしてフリップフロップ F F 1 - 1 ～F F 1 - N からシフト出力 S F O 1 ～S F O N （データ取込タイミングを規定する信号）を出力する。

## 【0059】

より具体的には、フリップフロップ  $FF1-i$  ( $1 \leq i \leq N$ 、 $i$  は整数) は、D 端子、C 端子及び Q 端子を有する。フリップフロップ  $FF1-i$  において、D 端子への入力信号が、C 端子への入力信号のエッジで保持され、その保持された信号が Q 端子から出力される。

## 【0060】

フリップフロップ  $FF1-1$  の D 端子には、データ取込開始指示信号  $IEI$  が入力される。フリップフロップ  $FF1-j$  ( $1 \leq j \leq N-1$ 、 $j$  は整数) の Q 端子は、フリップフロップ  $FF1-(j+1)$  の D 端子に接続される。フリップフロップ  $FF1-N$  の Q 端子から、イネーブル出力信号  $EO$  が出力される。フリップフロップ  $FF1-1 \sim FF1-N$  の C 端子には、共通して基準クロック  $CLK$  が入力される。フリップフロップ  $FF1-1 \sim FF1-N$  の Q 端子から、シフト出力  $SFO1 \sim SFON$  が出力される。

## 【0061】

ラッチ 104 は、複数のフリップフロップ  $FF2-1 \sim FF2-N$  を有する。そして、ラッチ 104 は、シフト出力  $SFO1 \sim SFON$  に基づいて、バス上の表示データを取り込んで保持する。

## 【0062】

より具体的には、フリップフロップ  $FF2-k$  ( $1 \leq k \leq N$ 、 $k$  は整数) は、D 端子、C 端子及び Q 端子を有する。フリップフロップ  $FF2-k$  において、D 端子への入力信号が、C 端子への入力信号のエッジで保持され、その保持された信号が Q 端子から出力される。

## 【0063】

フリップフロップ  $FF2-1 \sim FF2-N$  の D 端子は、共通してバスに接続されている。フリップフロップ  $FF2-k$  の C 端子には、シフトレジスタ 102 のフリップフロップ  $FF1-k$  のシフト出力  $SFOj$  が入力される。

## 【0064】

フリップフロップ  $FF2-1 \sim FF2-N$  の Q 端子から、取り込まれて保持された表示データが出力される。

**【0065】**

このようにデータラッチ100では、まずシフトレジスタ102において、基準クロックDCKに基づいてデータ取込開始指示信号IEIをシフトして、最終段のフリップフロップFF1-Nからイネーブル出力信号EOが出力される。各フリップフロップから出力されるシフト出力は、基準クロックDCKに同期して順次変化していく。そして、ラッチ104のフリップフロップFF2-1~FF2-Nでは、順番に変化するシフト出力SFO1~SFONのエッジ（データ取込タイミング）で、バス上の表示データが取り込まれる。

**【0066】**

したがって、データ取込開始指示信号IEIにより、表示データの取込開始タイミングが規定される。

**【0067】**

なお別の表示ドライバ（広義にはスレーブの表示ドライバ）に、表示ドライバ30（広義にはマスターの表示ドライバ）からのイネーブル出力信号EOを入力させることで、シフトレジスタ102のフリップフロップFF1-Nの次の段に接続されるシフトレジスタを連続的にシフトさせていくことができ、より多くのデータ線を有するLCDパネルを駆動させることができるようになる。

**【0068】**

このようなデータラッチ100にデータ取込開始指示信号IEIを供給するデータ取込開始指示信号生成回路140は、次のように構成される。

**【0069】**

図7に、データ取込開始指示信号生成回路140の構成例を示す。データ取込開始指示信号生成回路140は、取込開始タイミング設定レジスタ142と、カウンタ144と、比較器146と、DFF148とを含む。

**【0070】**

取込開始タイミング設定レジスタ142には、表示データの取込開始タイミングを指定するためのデータが、例えばコントローラ50（又はホスト）によって設定される。

**【0071】**

データ取込開始指示信号生成回路 140 は、所定の基準タイミングを基準にして、取込開始タイミング設定レジスタ 142 の設定内容に対応した期間が経過したときに変化するデータ取込開始指示信号を生成することができる。

#### 【0072】

該取込開始タイミングを指定するためのデータは、水平同期信号 Hsync の変化点を基準に、表示データの取込開始タイミングまでの期間に対応したデータとすることができる。更に具体的には、該表示データの取込開始タイミングまでの期間に対応したデータは、水平同期信号 Hsync の変化点を基準に、表示データの取込開始タイミングまでの基準クロック DCK のクロック数とすることができる。

#### 【0073】

取込開始タイミング設定レジスタ 142 に設定された 1 又は複数ビットのデータ SV は、比較器 146 に入力される。

#### 【0074】

カウンタ 144 は、CK 端子への入力信号の立ち上がりエッジで、そのカウント値をインクリメント（カウントアップ）する。カウンタ 144 は、R 端子への入力信号が「L」レベルになったときに、そのカウント値を初期化する（「0」にする）。カウンタ 144 の CK 端子には、基準クロック DCK の反転信号が入力される。カウンタ 144 の R 端子には、水平同期信号 Hsync が入力される。カウンタ 144 のカウント値 CV は、比較器 146 に入力される。

#### 【0075】

このようなカウンタ 144 は、水平同期信号 Hsync の論理レベルに応じてそのカウント値をリセットし、基準クロック DCK の立ち上がりエッジでそのカウント値をインクリメントする。

#### 【0076】

比較器 146 は、取込開始タイミング設定レジスタ 142 に設定されたデータ SV と、カウンタ 144 のカウント値 CV とを比較し、その比較結果信号 CM を出力する。比較器 146 において、取込開始タイミング設定レジスタ 142 に設定されたデータ SV に対応した数値と、カウンタ 144 のカウント値 CV に対応

した数値とが一致したとき、比較結果信号CMが「H」レベルになる。比較器146において、取込開始タイミング設定レジスタ142に設定されたデータSVに対応した数値と、カウンタ144のカウント値CVに対応した数値とが一致しないとき、比較結果信号CMが「L」レベルになる。

#### 【0077】

DF F 148は、D端子に入力された信号の論理レベルを、C端子への入力信号の立ち上がりエッジで保持し、そのQ端子から保持した信号の論理レベルに対応した信号を出力する。DF F 148のD端子には、比較器146からの比較結果信号CMが入力される。DF F 148のC端子には、基準クロックDCKが入力される。DF F 148のQ端子からは、データ取込開始指示信号IEIが出力される。

#### 【0078】

このようなDF F 148では、基準クロックDCKの立ち上がりエッジで、比較結果信号CMの論理レベルを保持して、データ取込開始指示信号IEIとして出力する。

#### 【0079】

図8に、データ取込開始指示信号生成回路140の動作例を示す。ここでは、取込開始タイミング設定レジスタ142には、データSVとして「3」が設定されているものとする。図7では、水平同期信号Hsyncの立ち上がりエッジを基準に、基準クロックDCKの立ち下がりエッジをカウントして基準クロックDCKのクロック数が「3」となったときにデータ取込開始指示信号IEIを変化させている。

#### 【0080】

カウンタ144では、水平同期信号Hsyncが「L」レベルの期間で、カウント値が初期化される。そして、水平同期信号Hsyncが「H」レベルに変化すると(TM1)、カウンタ144は、基準クロックDCKの立ち下がりエッジで、そのカウント値CVをインクリメントする。比較器146は、カウント値CVと、取込開始タイミング設定レジスタ142に設定されたデータSVとを比較して、比較結果信号CMを出力する。

## 【0081】

そして、カウント値CVが「3」になったとき、比較器146の比較結果信号CMは「H」レベルに変化する（TM2）。DFF148において、基準クロックDCKの立ち上がりエッジで比較結果信号CMが保持される。次の基準クロックの立ち下がりエッジではカウンタ144のカウント値CVが「4」となるため、DFF148のQ端子から出力されるデータ取込開始指示信号IEIは基準クロックDCKの1クロック期間のみ「H」レベルとなる。

## 【0082】

そして、データ取込開始指示信号IEIが「H」レベルに変化した後に入力される表示データが、データラッチ100で取り込まれることになる。

## 【0083】

図8では、データラッチ100において、データ取込開始指示信号IEIが「H」レベルの期間に供給された表示データD0を取り込むものとして説明しているが、これに限定されるものではない。データラッチ100の構成によっては、データ取込開始指示信号IEIが「H」レベルに変化した後、例えば1クロック後に供給された表示データを取り込むようにすることも可能である。すなわち、データ取込開始指示信号IEIが変化してから、実際にデータラッチ100で表示データを取り込むまでの期間は、データラッチ100の構成に依存する。要は、データラッチ100が、データ取込開始指示信号IEIで取込開始タイミングが規定されるデータ取込タイミングで、データ取込開始指示信号IEIが変化した後に入力される表示データを取り込めばよい。

## 【0084】

またコントローラ50では、このようなデータラッチの構成に依存する取込タイミングのため、一般的に水平同期信号Hsyncを基準に、表示データの供給開始タイミングを可変に制御できるようになっている。したがって、取込開始タイミング設定レジスタ142には、コントローラ50で設定される該供給開始タイミングに対応したデータを設定すればよい。

## 【0085】

このように、第1の実施形態によれば、イネーブル入力信号EIを出力しない

コントローラにより各種表示制御が行われる表示ドライバを提供することができる。これは、第1の実施形態における表示ドライバに接続可能なコントローラの数を増やすことができることを意味する。また、イネーブル入力信号EIの入力端子を削減することができるので、コントローラとの間の配線を省略して、実装面積の削減にも貢献することができる。

#### 【0086】

### 2. 2 第2の実施形態

第2の実施形態における表示ドライバは、少なくとも2つを用いてLCDパネルのデータ線を駆動する場合にも適用できる。

#### 【0087】

図9に、第2の実施形態における表示ドライバが適用される液晶装置の概要を示す。ただし、図1に示す液晶装置10と同一部分には同一符号を付し、適宜説明を省略する。なお図9では電源回路60の図示を省略しているが、図9において電源回路60を含めて構成することができる。

#### 【0088】

図9における液晶装置200が図1に示す液晶装置10と異なる点は、液晶装置200のLCDパネル210がデータ線DL1～DL3Nを含む点と、LCDパネル210のデータ線DL1～DL3Nが複数の表示ドライバ220-1～220-P（Pは2以上の整数）によって駆動される点である。なお、表示ドライバ220-1～220-Pは、図2に示す液晶装置10と同様に、LCDパネル210が形成されるパネル基板上に設けてもよい。

#### 【0089】

表示ドライバ220-1～220-Pは、コントローラ50によって表示制御される。より具体的には、表示ドライバ220-1～220-Pは、コントローラ50から供給される一水平走査期間分の表示データを取り込み、互いに同期して表示データに対応した駆動電圧に基づき、LCDパネル210のデータ線DL1～DL3Nを駆動する。

#### 【0090】

表示ドライバ220-1～220-Pは、カスケード接続され、取込開始タイ

ミングを、次段に接続される表示ドライバに順次指示していく。表示ドライバ220-1~220-Pの各々では、第1の実施形態と同様に、シフトレジスタでシフトされたシフト出力に基づいて、バス上の表示データを順次取り込む。そして表示ドライバ220-q ( $1 \leq q \leq P-1$ 、qは整数)のシフトレジスタの最終段のシフト出力が、イネーブル出力信号EOqとして出力される。表示ドライバ220-qの次段に接続された表示ドライバ220-(q+1)では、該イネーブル出力信号EOqが入力される。表示ドライバ220-(q+1)は、イネーブル出力信号EOqにより指示されたタイミングを、取込開始タイミングとする。

#### 【0091】

このように複数個を接続してLCDパネル210のデータ線を駆動するため、第2の実施形態における表示ドライバ220-1~220-Pの各々は、マスターモード又はスレーブモードに設定されることが可能な構成になっている。

#### 【0092】

図10(A)~(C)に、第2の実施形態における表示ドライバの各モードにおける動作を模式的に示す。

#### 【0093】

マスターモードに設定された表示ドライバ220-1は、図10(A)に示すように、内部でデータ取込開始指示信号IEIを生成する。そして表示ドライバ220-1は、シフトレジスタにおいてデータ取込開始指示信号IEIをシフトし、各段のシフト出力に基づいてバス上の表示データを取り込み、最終段のシフト出力をイネーブル出力信号EO1として出力する。

#### 【0094】

スレーブモードに設定された表示ドライバ220-2は、図10(B)に示すように、外部からイネーブル入力信号EI2を受け付ける。図9では、表示ドライバ220-2は、表示ドライバ220-1によって出力されたイネーブル出力信号EO1を、イネーブル入力信号EI2として受け付ける。したがって、表示ドライバ220-2では、イネーブル入力信号EI2又は該イネーブル入力信号EI2に対応した信号をシフトし、各段のシフト出力に基づいてバス上の表示デ

ータを取り込み、最終段のシフト出力をイネーブル出力信号 E O 2 として出力する。

#### 【 0 0 9 5 】

このように第 2 の実施形態における表示ドライバを少なくとも 2 つ用いて、LCD パネル 2 1 0 を駆動する場合、表示ドライバ 2 2 0 - 1 をマスターモードに設定し、表示ドライバ 2 2 0 - 2 ~ 2 2 0 - P をスレーブモードに設定する。そして、図 1 0 (C) に示すように、表示ドライバ 2 2 0 - 1 は、表示ドライバ 2 2 0 - 2 (スレーブモードに設定された表示ドライバの 1 つ) に対し、そのイネーブル出力信号 E O 1 を、イネーブル入力信号 E I 2 として供給する。

#### 【 0 0 9 6 】

図 1 1 に、第 2 の実施形態における表示ドライバ 2 2 0 の構成の概要のブロック図を示す。ただし、図 5 に示す表示ドライバ 3 0 と同一部分には同一符号を付し、適宜説明を省略する。

#### 【 0 0 9 7 】

表示ドライバ 2 2 0 が、図 5 に示す表示ドライバ 3 0 と異なる第 1 の点は、モード設定レジスタ 2 3 0 を含む点である。モード設定レジスタ 2 3 0 は、ホスト等により設定可能なレジスタであって、マスターモード又はスレーブモードを設定するための制御レジスタである。図示しないホストからのコマンド設定により、モード設定レジスタ 2 3 0 に設定された制御データに応じて、表示ドライバ 2 2 0 はマスターモード又はスレーブモードに設定される。そのため、モード設定レジスタ 2 3 0 に設定された制御データに応じたモード設定信号 MODE が生成される。モード設定信号 MODE は、切替回路 2 4 0 に対して出力される。

#### 【 0 0 9 8 】

表示ドライバ 2 2 0 が、図 5 に示す表示ドライバ 3 0 と異なる第 2 の点は、イネーブル入力信号 E I を入力するためのイネーブル信号入力端子 2 5 0 を含む点である。スレーブモードに設定された表示ドライバ 2 2 0 は、イネーブル信号入力端子 2 5 0 を介して入力されたイネーブル入力信号 E I に基づいて、バス上の表示データを取り込む。

#### 【 0 0 9 9 】

表示ドライバ220が、図5に示す表示ドライバ30と異なる第3の点は、切替回路240を含む点である。

#### 【0100】

切替回路240は、データ取込開始指示信号生成回路140で生成されたデータ取込開始指示信号IEI、又はイネーブル信号入力端子250を介して入力されたイネーブル入力信号EI（又はイネーブル入力信号EIに対して所定の入力処理を行ったイネーブル入力信号EIに対応する信号）のいずれかをモード設定信号MODEに応じて選択出力する。

#### 【0101】

切替回路240は、モード設定レジスタ230においてマスターモードに設定されているときは、データ取込開始指示信号生成回路140により生成されたデータ取込開始指示信号IEIを選択し、選択出力信号IEISとして出力する。また切替回路240は、モード設定レジスタ230においてスレーブモードに設定されているときは、イネーブル入力信号EIを選択し、選択出力信号IEISとして出力する。データラッチ100のシフトレジスタ102では、図6に示すデータ取込開始指示信号IEIに代えて、切替回路240から出力された選択出力信号IEISが入力される。

#### 【0102】

このように表示ドライバ220は、マスターモードに設定されているとき、第1の実施形態と同様に動作する。また表示ドライバ220は、スレーブモードに設定されているとき、イネーブル信号入力端子250を介して入力されたイネーブル入力信号EIにより規定される取込開始タイミングで表示データを取り込むことができる。

#### 【0103】

### 3. その他

上述した実施形態では、TF Tを用いた液晶パネルを備える液晶装置を例に説明したが、これに限定されるものではない。上述の電圧を、所与の電流変換回路により電流に変えて、電流駆動型の素子に供給するようにしてもよい。このようにすれば、例えばデータ線及び走査線により特定される画素に対応して設けられ

た有機EL素子を含む有機ELパネルを駆動する表示ドライバにも適用することができる。

#### 【0104】

図12に、このような表示ドライバにより駆動される有機ELパネルにおける2トランジスタ方式の画素回路の一例を示す。

#### 【0105】

有機ELパネルは、データ線DL<sub>n</sub>と走査線GL<sub>m</sub>との交差点に、駆動TF<sub>T</sub>800mnと、スイッチTF<sub>T</sub>810mnと、保持キャパシタ820mnと、有機LED830mnとを有する。駆動TF<sub>T</sub>800mnは、p型トランジスタにより構成される。

#### 【0106】

駆動TF<sub>T</sub>800mnと有機LED830mnとは、電源線に直列に接続される。

#### 【0107】

スイッチTF<sub>T</sub>810mnは、駆動TF<sub>T</sub>800mnのゲート電極と、データ線DL<sub>n</sub>との間に挿入される。スイッチTF<sub>T</sub>810mnのゲート電極は、走査線GL<sub>m</sub>に接続される。

#### 【0108】

保持キャパシタ820mnは、駆動TF<sub>T</sub>800mnのゲート電極と、キャパシタラインとの間に挿入される。

#### 【0109】

このような有機EL素子において、走査線GL<sub>m</sub>が駆動されスイッチTF<sub>T</sub>810mnがオンになると、データ線DL<sub>n</sub>の電圧が保持キャパシタ820mnに書き込まれると共に、駆動TF<sub>T</sub>800mnのゲート電極に印加される。駆動TF<sub>T</sub>800mnのゲート電圧V<sub>gs</sub>は、データ線DL<sub>n</sub>の電圧によって決まり、駆動TF<sub>T</sub>800mnに流れる電流が定まる。駆動TF<sub>T</sub>800mnと有機LED830mnとは直列接続されているため、駆動TF<sub>T</sub>800mnに流れる電流がそのまま有機LED830mnに流れる電流となる。

#### 【0110】

したがって、保持キャパシタ 820mn によりデータ線 DLn の電圧に応じたゲート電圧 Vgs を保持することによって、例えば 1 フレーム期間中において、ゲート電圧 Vgs に対応した電流を有機 LED 830mn に流すことで、当該フレームにおいて光り続ける画素を実現することができる。

#### 【0111】

図 13 (A) に、表示ドライバを用いて駆動される有機 EL パネルにおける 4 トランジスタ方式の画素回路の一例を示す。図 13 (B) に、この画素回路の表示制御タイミングの一例を示す。

#### 【0112】

この場合も、有機 EL パネルは、駆動 TFT 900mn と、スイッチ TFT 910mn と、保持キャパシタ 920mn と、有機 LED 930mn とを有する。

#### 【0113】

図 12 に示した 2 トランジスタ方式の画素回路と異なる点は、定電圧の代わりにスイッチ素子としての p 型 TFT 940mn を介して定電流源 950mn からの定電流 Idat a を画素に供給するようにした点と、電源線にスイッチ素子としての p 型 TFT 960mn を介して保持キャパシタ 920mn 及び駆動 TFT 900mn と接続するようにした点である。

#### 【0114】

このような有機 EL 素子において、まずゲート電圧 Vgp により p 型 TFT 960mn をオフにして電源線を遮断し、ゲート電圧 Vsel により p 型 TFT 940mn とスイッチ TFT 910mn をオンにして、定電流源 950mn からの定電流 Idat a を駆動 TFT 900mn に流す。

#### 【0115】

駆動 TFT 900mn に流れる電流が安定するまでの間に、保持キャパシタ 920mn には定電流 Idat a に応じた電圧が保持される。

#### 【0116】

続いて、ゲート電圧 Vsel により p 型 TFT 940mn とスイッチ TFT 910mn をオフにし、更にゲート電圧 Vgp により p 型 TFT 960mn をオンにし、電源線と駆動 TFT 900mn 及び有機 LED 930mn を電氣的に接続

する。このとき、保持キャパシタ 920mn に保持された電圧により、定電流 Idata とほぼ同等か、又はこれに応じた大きさの電流が有機 LED 930mn に供給される。

#### 【0117】

有機 LED は、透明アノード (ITO) の上部に発光層を設け、更にその上部にメタルカソードを設けるようにしても良いし、メタルアノードの上部に、発光層、光透過性カソード、透明シールを設けるようにしても良く、その素子構造に限定されるものではない。

#### 【0118】

以上説明したような有機 EL 素子を含む有機 EL パネルを駆動する表示ドライバを上述したように構成することによって、有機 EL パネルについて汎用的に用いられる表示ドライバを提供することができる。

#### 【0119】

なお、本発明は上述した実施の形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。上述の実施形態では、表示パネルの各画素が TFT を有するアクティブマトリクス方式の液晶パネルを例に説明したが、これに限定されるものではない。パッシブマトリクス方式の液晶パネルにも適用することができる。また液晶パネルに限らず、例えばプラズマディスプレイ装置にも適用可能である。

#### 【0120】

また、本発明のうち従属請求項に係る発明においては、従属先の請求項の構成要件の一部を省略する構成とすることもできる。また、本発明の 1 の独立請求項に係る発明の要部を、他の独立請求項に従属させることもできる。

#### 【図面の簡単な説明】

【図 1】 表示装置の構成の概要を示すブロック図。

【図 2】 LCD パネル上に、表示ドライバ及び走査ドライバが形成されている例を示すブロック図。

【図 3】 図 3 (A) は比較例における表示ドライバと、コントローラとの接続関係を示す図。図 3 (B) は、図 3 (A) に示す信号のタイミングの一例を

示すタイミング図。

【図 4】 第 1 の実施形態における表示ドライバと、コントローラとの接続関係を示す図。

【図 5】 第 1 の実施形態の表示ドライバの構成の概要のブロック図。

【図 6】 データラッチの構成例を示す回路図。

【図 7】 データ取込開始指示信号生成回路の構成例の回路ブロック図。

【図 8】 データ取込開始指示信号生成回路の動作例のタイミング図。

【図 9】 第 2 の実施形態における表示ドライバが適用される液晶装置の概要を示す図。

【図 1 0】 図 1 0 (A) はマスターモードに設定された表示ドライバの模式図。図 1 0 (B) はスレーブモードに設定された表示ドライバの模式図。図 1 0 (C) はマスターモードに設定された表示ドライバとスレーブモードに設定された表示ドライバとが接続された模式図。

【図 1 1】 第 1 の実施形態の表示ドライバの構成の概要のブロック図。

【図 1 2】 有機 E L パネルにおける 2 トランジスタ方式の画素回路の一例の構成図。

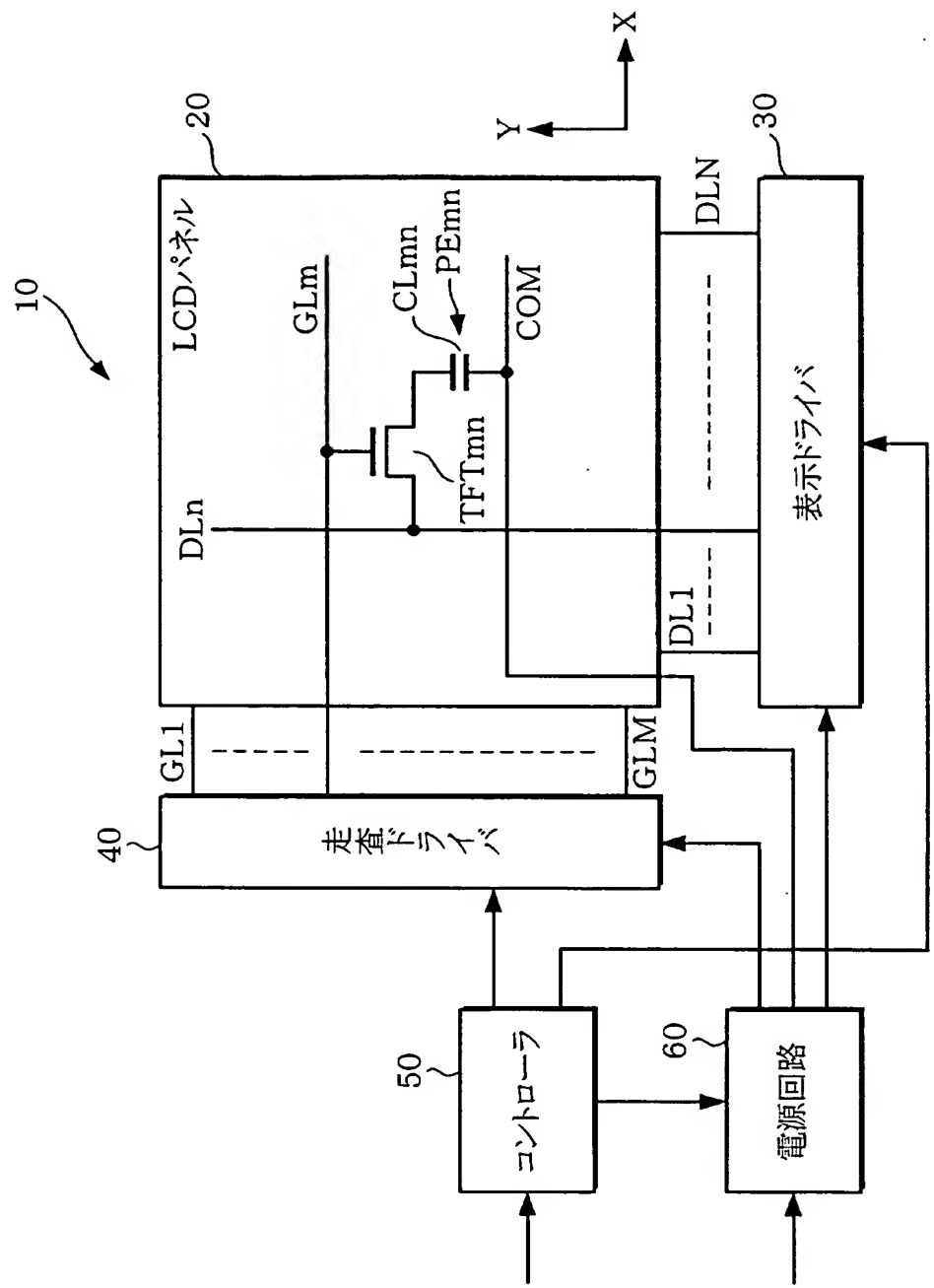
【図 1 3】 図 1 3 (A) は有機 E L パネルにおける 4 トランジスタ方式の画素回路の一例の回路構成図。図 1 3 (B) は画素回路の表示制御タイミングの一例のタイミング図。

#### 【符号の説明】

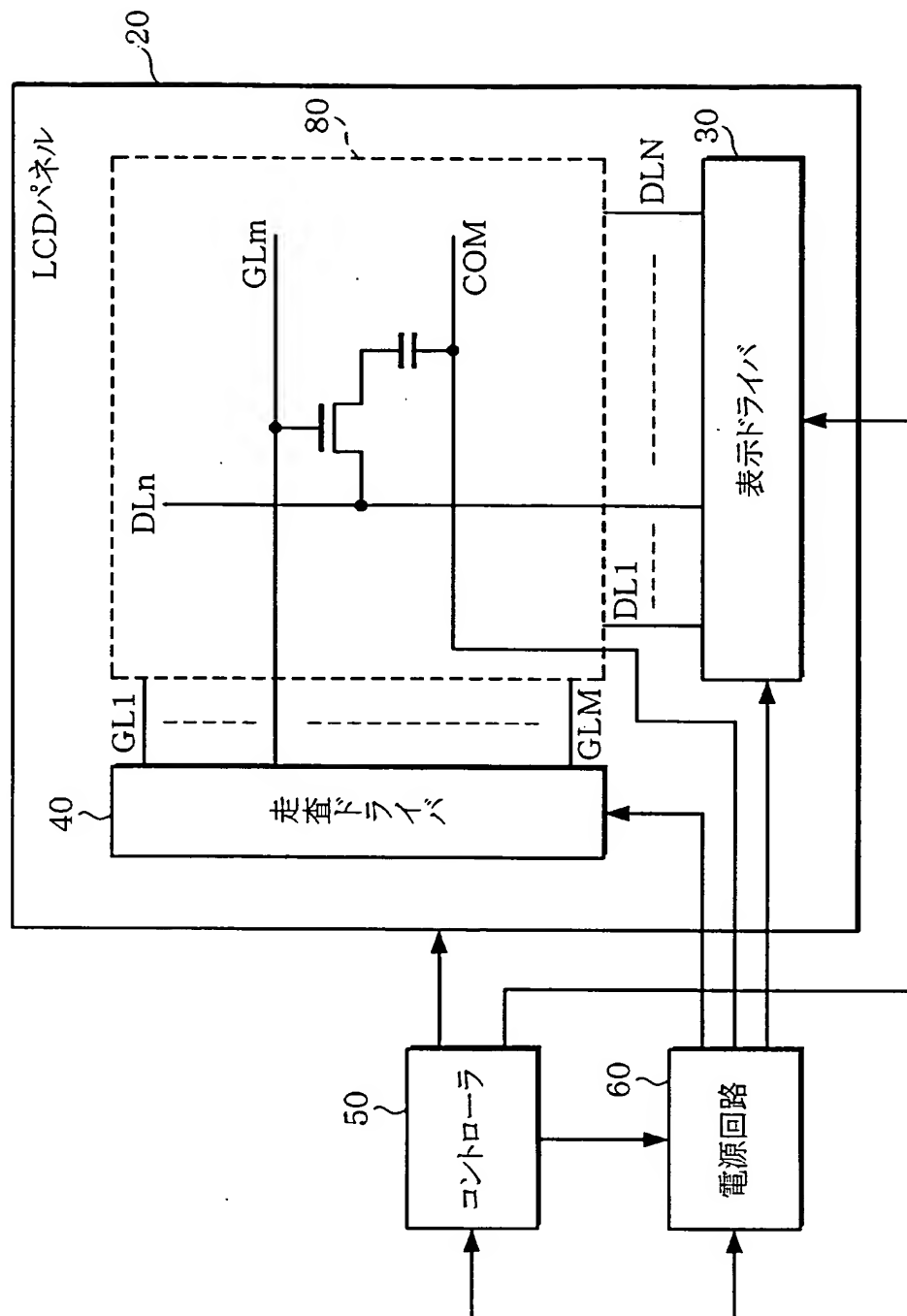
1 0、2 0 0 液晶装置（表示装置）、  
2 0、2 1 0 L C D パネル（表示パネル）、  
3 0、9 2、2 2 0、2 2 0 - 1 ~ 2 2 0 - P 表示ドライバ、  
4 0 走査ドライバ、5 0、9 0 コントローラ、6 0 電源回路、  
8 0 画素形成領域、1 0 0 データラッチ、1 0 2 シフトレジスタ、  
1 0 4 ラッチ、1 1 0 ラインラッチ、1 2 0 D A C、  
1 3 0 データ線駆動回路、1 4 0 データ取込開始指示信号生成回路、  
1 4 2 取込開始タイミング設定レジスタ、1 4 4 カウンタ、1 4 6 比較器、  
1 4 8 D F F、1 5 0 基準クロック入力端子、1 5 2 イネーブル出力端

子、1 5 4 水平同期信号入力端子、2 3 0 モード設定レジスタ、  
2 4 0 切替回路、2 5 0 イネーブル信号入力端子

【書類名】 図面  
【図 1】

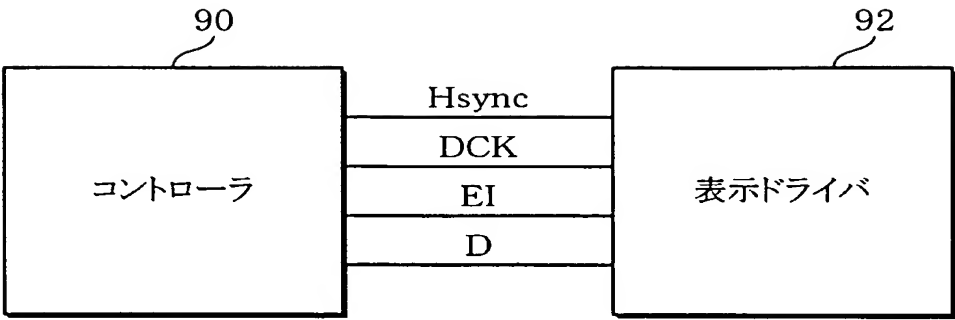


【図 2】

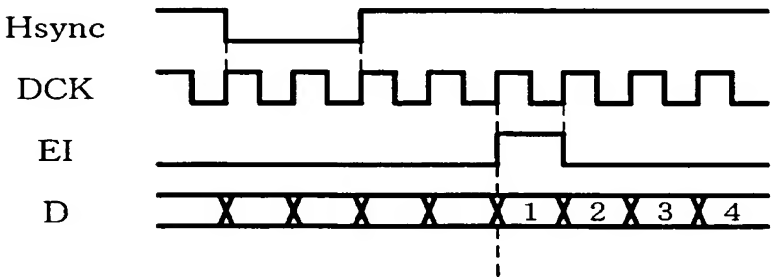


【図 3】

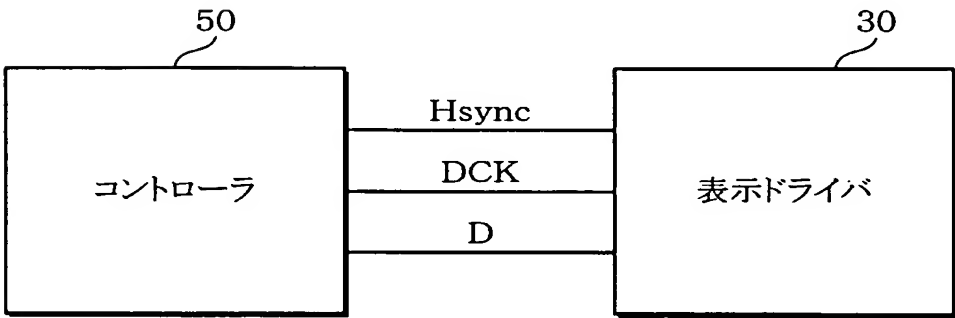
(A)



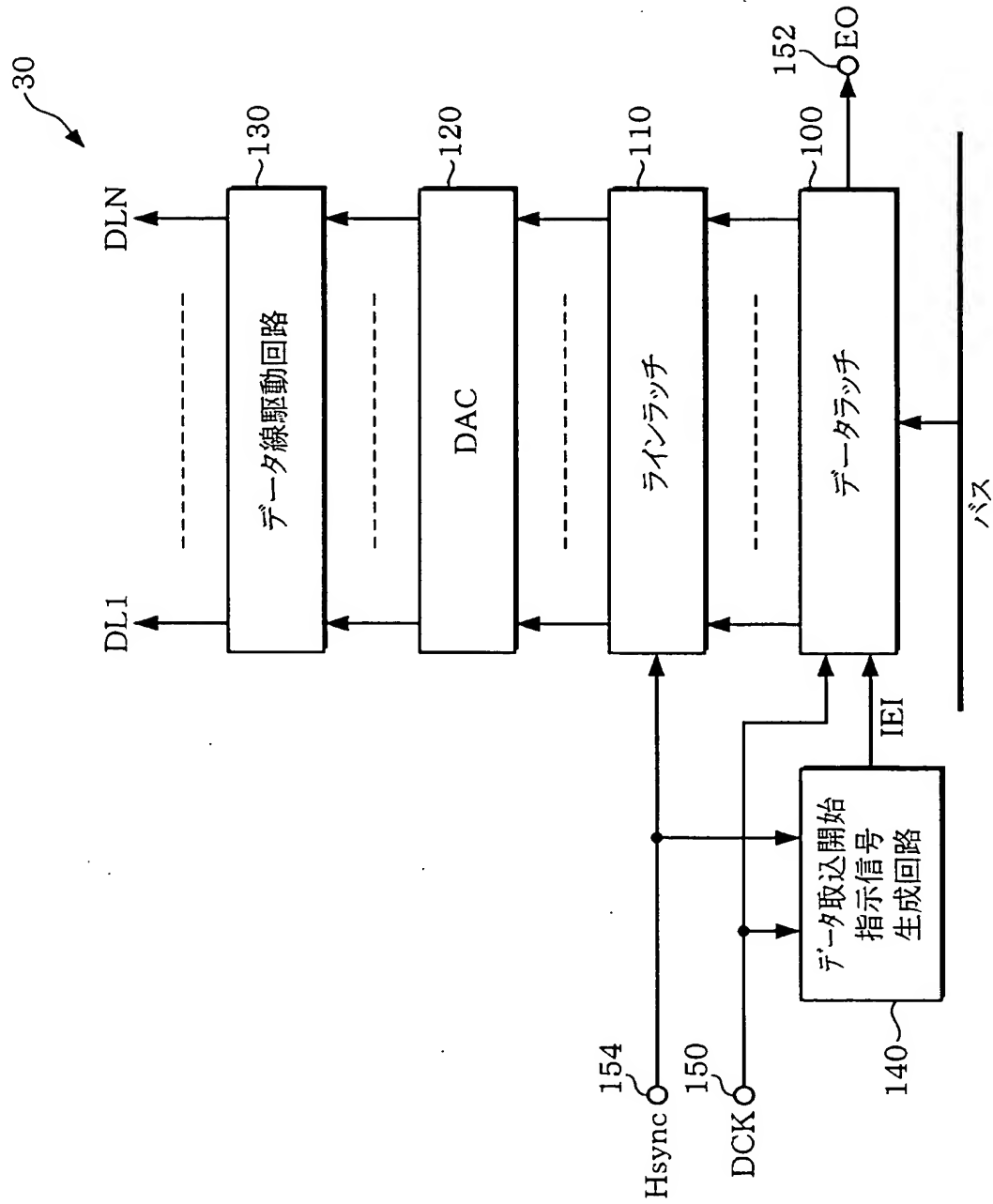
(B)



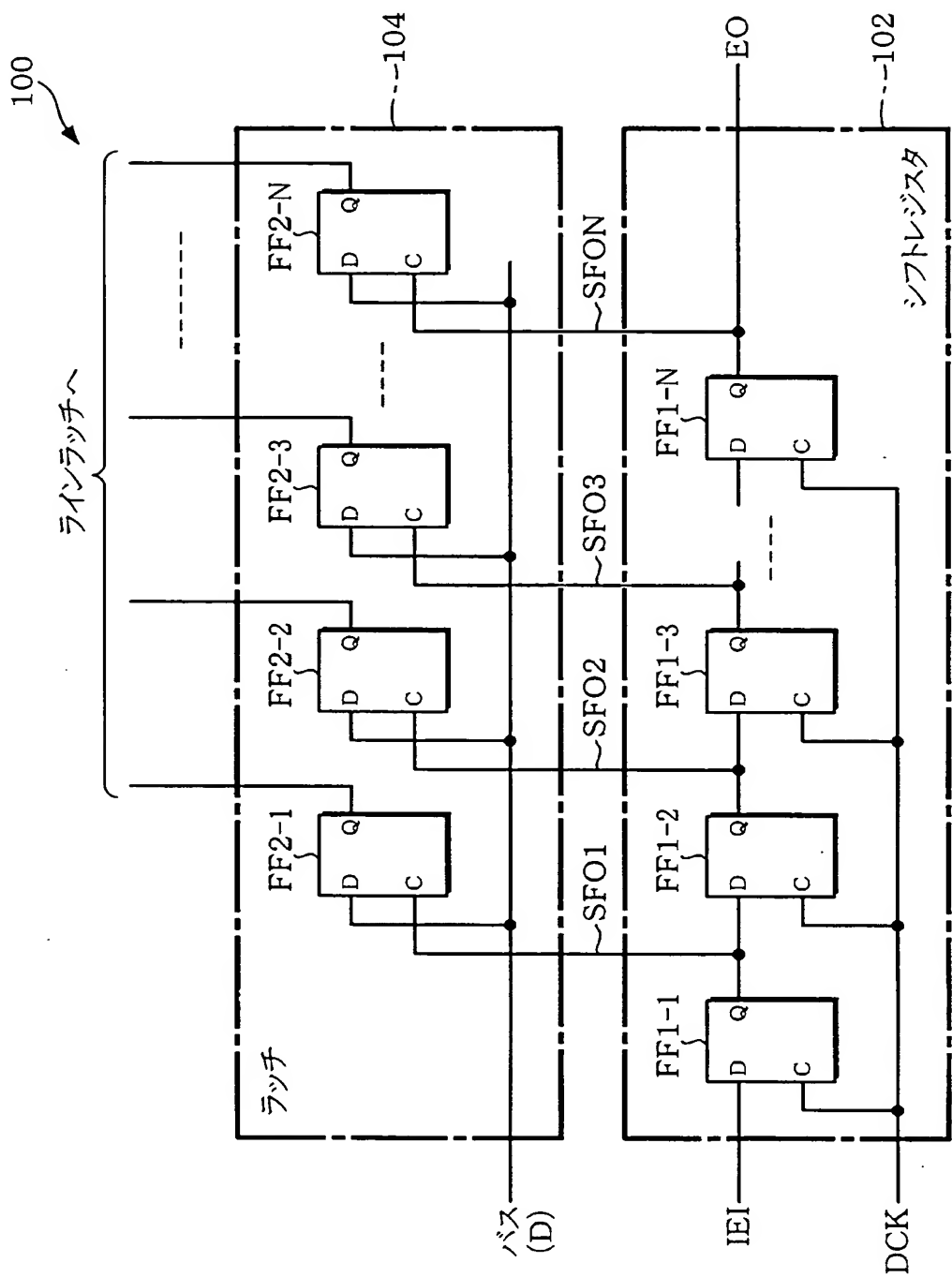
【図 4】



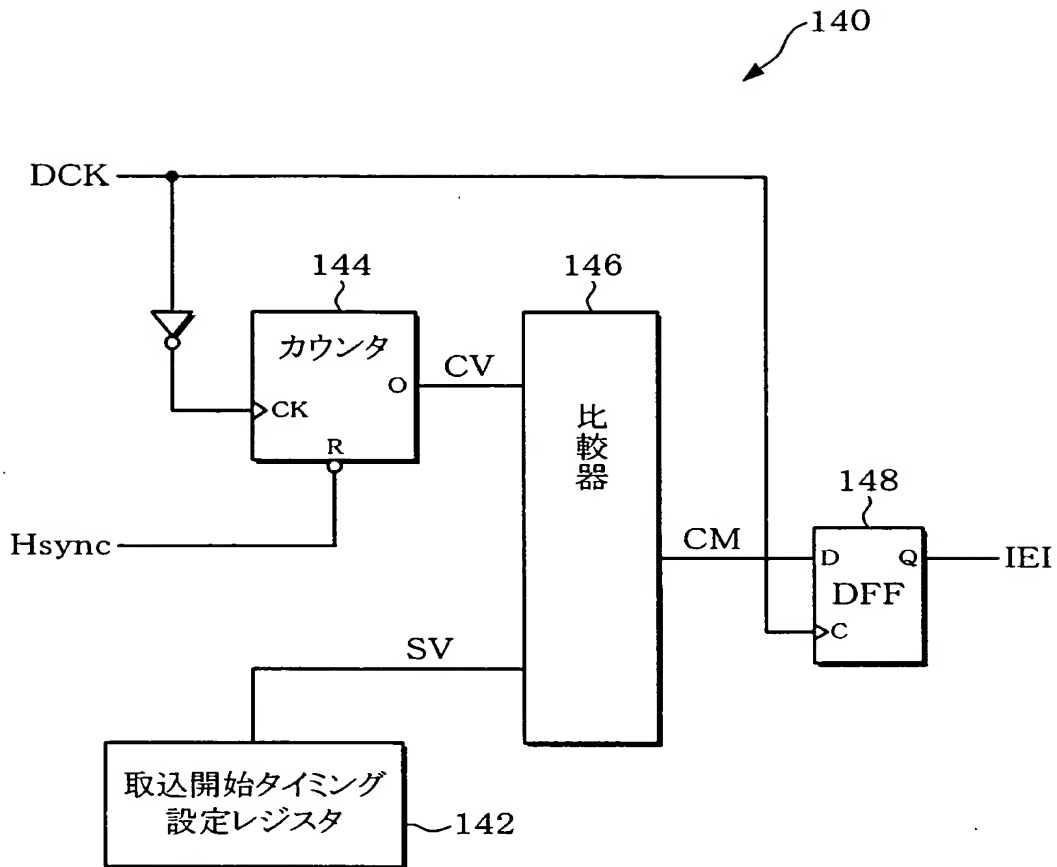
【図 5】



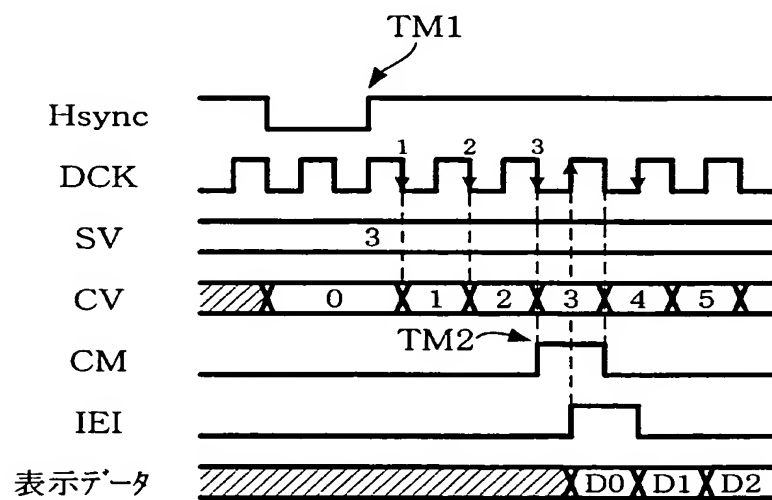
【図 6】



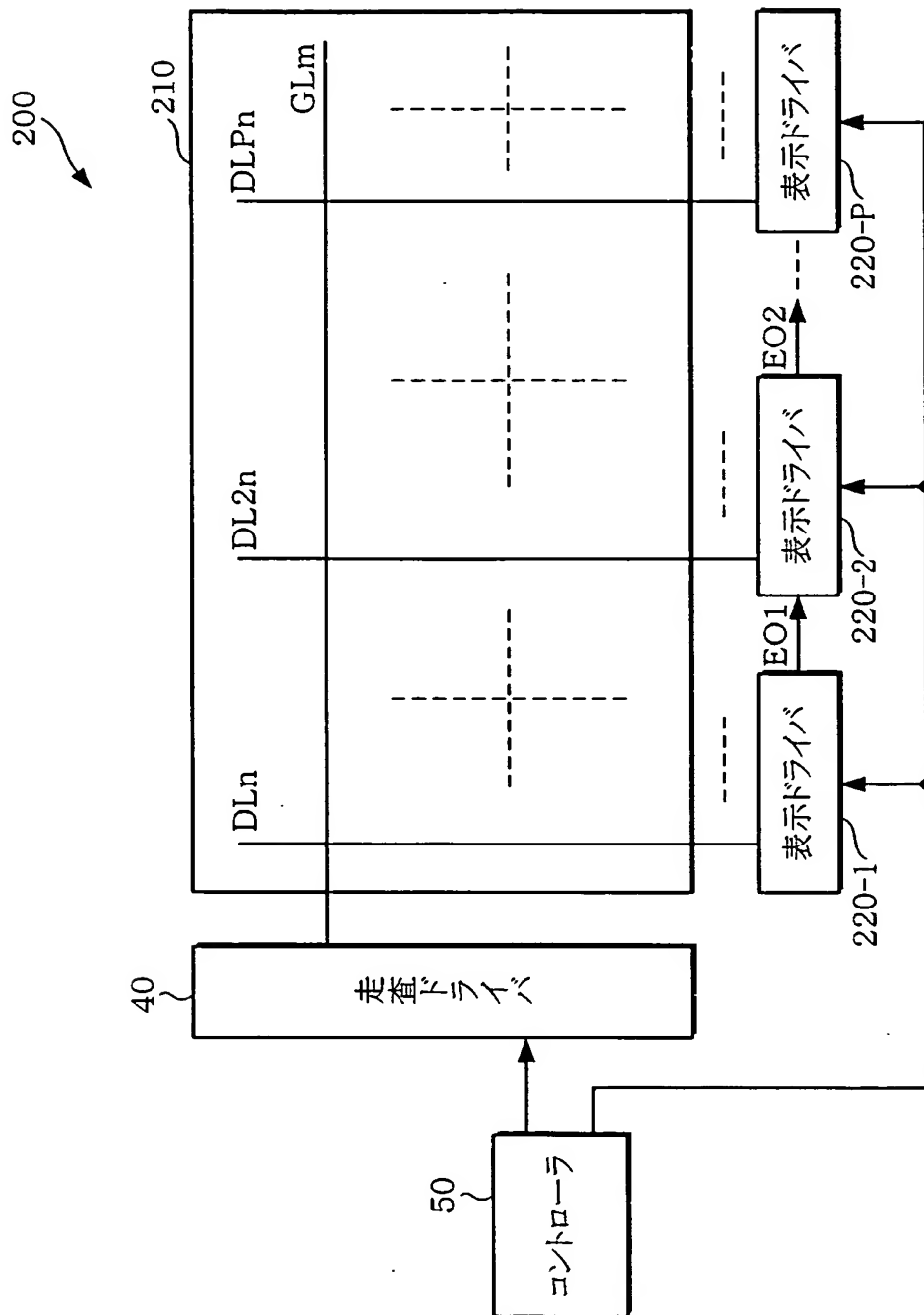
【図 7】



【図 8】

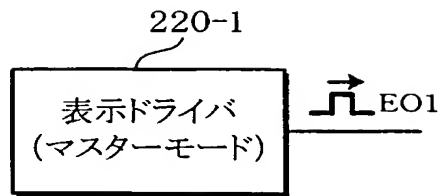


【図 9】

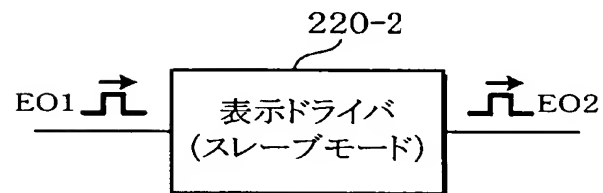


【図 10】

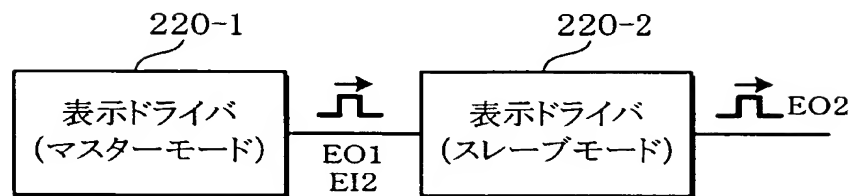
(A)



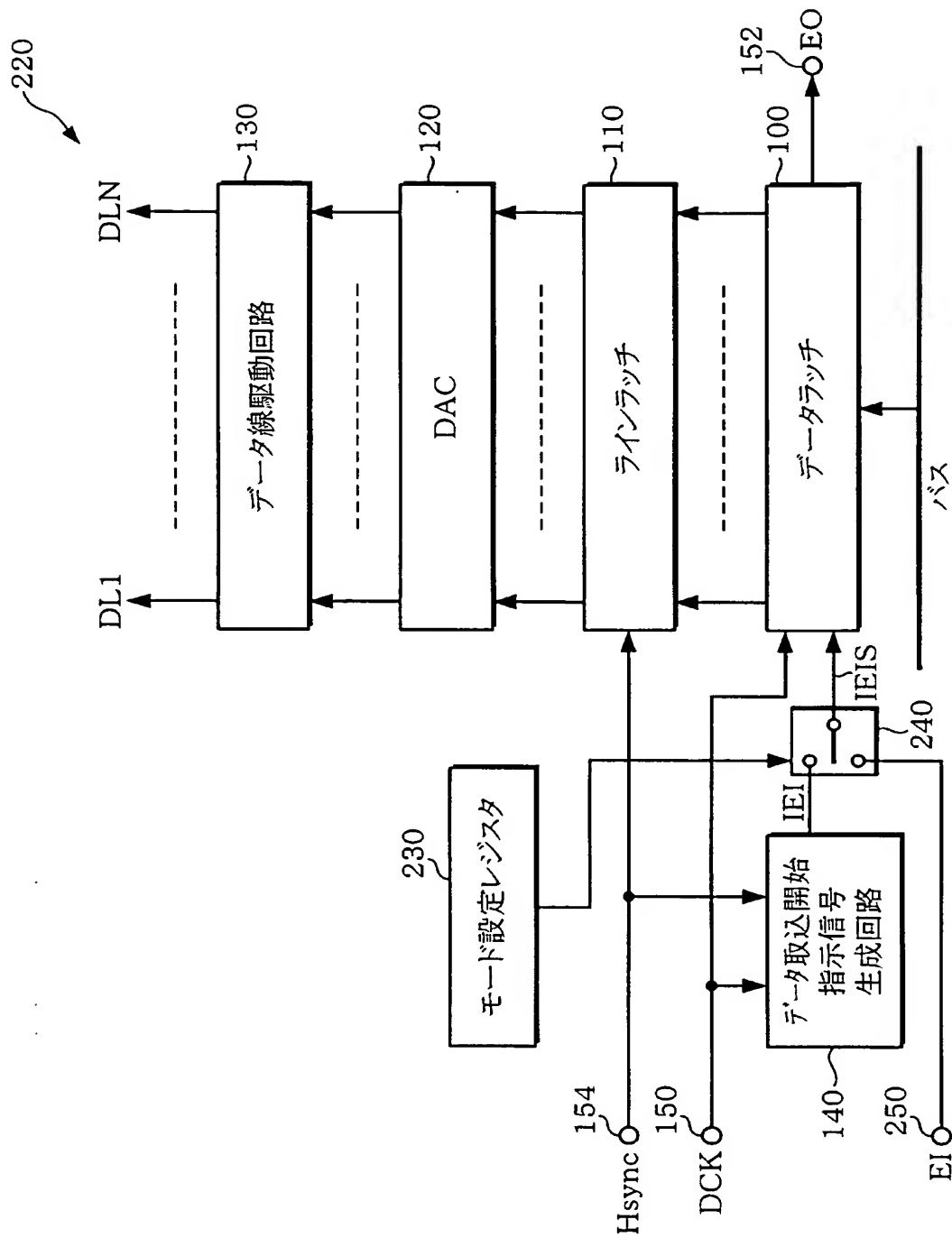
(B)



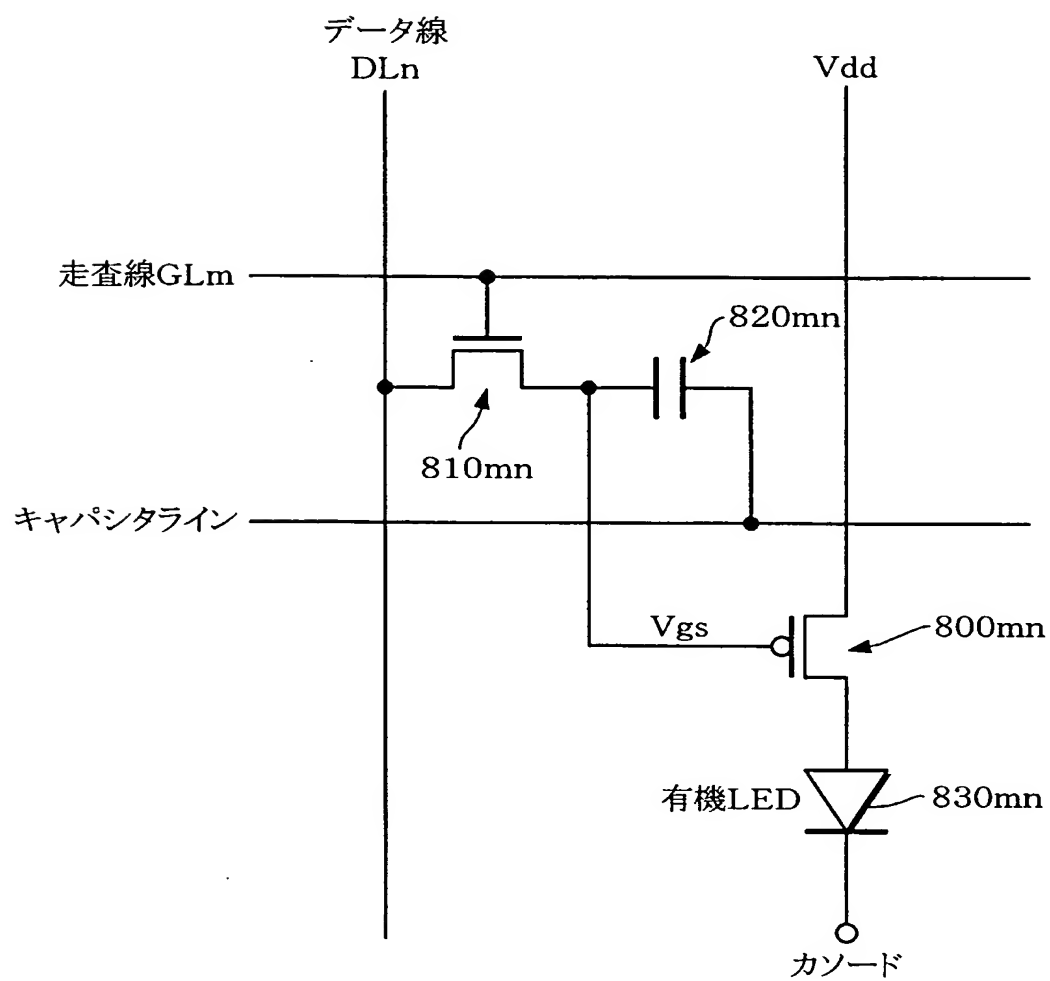
(C)



【図 11】

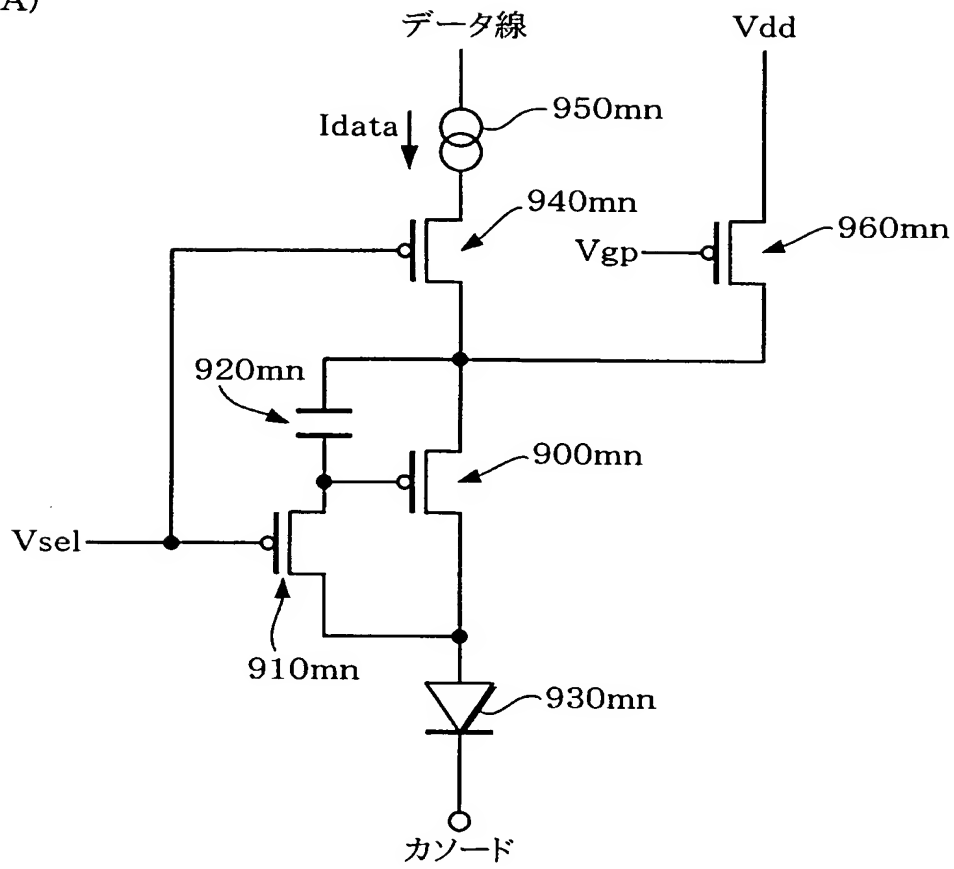


【図 12】

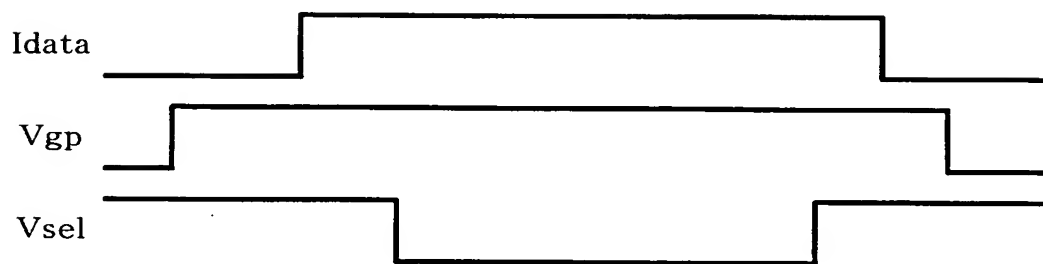


【図 13】

(A)



(B)



【書類名】 要約書

【要約】

【課題】 表示データの取込開始タイミングを規定する信号を内部で生成する表示ドライバ及び該表示ドライバを備えた表示システムを提供する。

【解決手段】 表示ドライバ 3 0 は、所与のデータ取込開始指示信号を生成するデータ取込開始指示信号生成回路 1 4 0 と、データ取込開始指示信号により取込開始タイミングが規定されるデータ取込タイミングで、表示データを取り込むデータラッチ 1 0 0 と、データラッチ 1 0 0 に取り込まれた表示データに基づいて複数のデータ線を駆動するデータ線駆動回路 1 3 0 とを含む。データ取込開始指示信号生成回路 1 4 0 は、表示データの取込開始タイミングを指定するためのデータが設定される取込開始タイミング設定レジスタ 1 4 2 を含み、所与の基準タイミングを基準にして前記取込開始タイミング設定レジスタ 1 4 2 の設定内容に対応した期間が経過したときに変化するデータ取込開始指示信号を生成する。

【選択図】 図 5

特願 2 0 0 3 - 0 5 6 6 9 8

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 2 3 6 9 ]

1. 変更年月日  
[変更理由]

1 9 9 0 年 8 月 2 0 日  
新規登録

住 所  
氏 名

東京都新宿区西新宿 2 丁目 4 番 1 号  
セイコーエプソン株式会社